

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-177347

(43)Date of publication of application : 24.06.1994

(51)Int.Cl.

H01L 27/108

H01L 27/04

(21)Application number : 05-227467

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.09.1993

(72)Inventor : IMAI KEITAROU
OKUMURA KATSUYA

(30)Priority

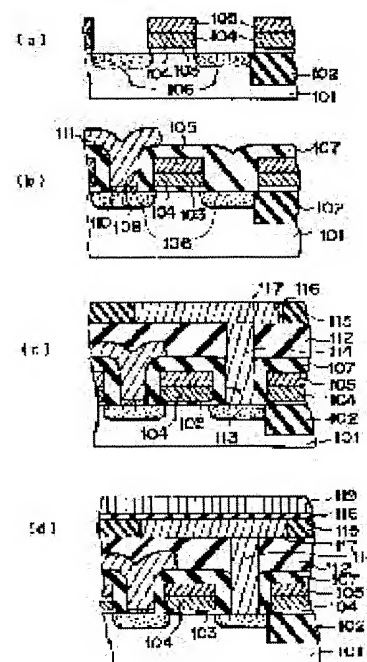
Priority number : 04243533 Priority date : 11.09.1992 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain a capacitor wherein sufficient capacitance can be secured, irregularity of characteristics is not present, and reliability is high.

CONSTITUTION: As a lower electrode 117, single crystal or quasi-single crystal of high orientation is formed. On the upper layer, a perovskite type high dielectric film 118 which is epitaxially grown on the storage node electrode is formed as a capacitor insulating film. On the upper layer, an upper electrode 119 is formed.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-177347

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
27/04	C	8427-4M	H 0 1 L 27/ 10	3 2 5 J
		7210-4M		3 2 5 M
		7210-4M		

審査請求 未請求 請求項の数4(全 10 頁)

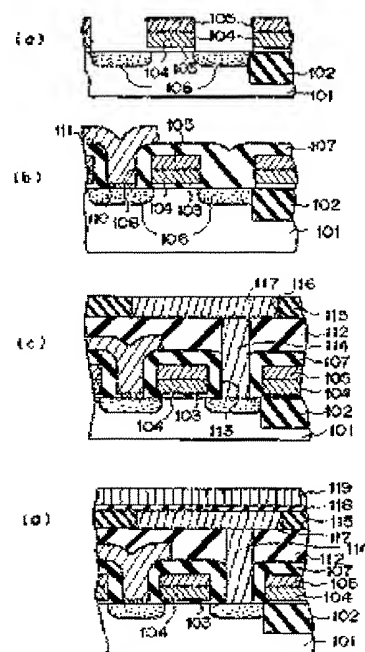
(21)出願番号	特願平5-227467	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成5年(1993)9月13日	(72)発明者	今井 肇太郎 神奈川県川崎市幸区小向東芝町 1 株式 会社東芝研究開発センター内
(31)優先権主張番号	特願平4-243533	(72)発明者	奥村 勝弥 神奈川県川崎市幸区小向東芝町 1 株式 会社東芝研究開発センター内
(32)優先日	平4(1992)9月11日	(74)代理人	弁理士 木村 高久
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【要約】

【目的】 本発明は、十分なキャパシタ容量を確保することができ、特性のばらつきがなく信頼性の高いキャパシタを提供することを目的とする。

【構成】 本発明では下部電極117として単結晶または高配向の準単結晶を形成するとともにこの上層にこのストレージノード電極にエピタキシャル成長させたペロブスカイト型の高誘電体膜118をキャパシタ絶縁膜として形成し、さらにこの上層に上部電極119を形成している。



(2)

特開平6-177347

1

2

【特許請求の範囲】

【請求項1】 所望の素子領域の形成された半導体集積回路基板表面に、キャパシタを具備してなる半導体装置において、

前記キャパシタは前記半導体集積回路基板表面に形成された単結晶の、または準単結晶状態で配向した導電体からなる第1の電極と、

前記第1の電極上に単結晶として、または準単結晶状態で配向して形成され、ペロブスカイト型の結晶構造を有する容量絶縁膜と、

この容量絶縁膜の上層に形成された第2の電極とから構成されていることを特徴とする半導体装置。

【請求項2】 前記第1の電極が、アルミニウム、金、銀、銅、白金、パラジウム、イリジウム、ルテニウム、 SrTiO_3 、の少なくとも1つを含み、

前記容量絶縁膜が、 PbTiO_3 、 PZT 、 PLZT 、 BaTiO_3 、 SrTiO_3 、の少なくとも1つを主成分とすることを特徴とする請求項1に記載の半導体装置。

【請求項3】 所望の素子領域の形成された半導体集積回路基板表面に、キャパシタを形成するにあたり、

シリコン基板表面上の一主面に接続する第1の導電部を形成する工程と、

前記第1の導電部の一部を内面に露出せしめるように凹部を形成する工程と、

該凹部内に第2の導電部を形成する工程と、
熱処理によって該第2の導電部を単結晶化あるいは準単結晶状態で配向せしめる工程と、

この後該第2の導電部上にペロブスカイト型の結晶構造を有する容量絶縁膜をエピタキシャル成長させる工程と、

この上層に第3の導電部を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 所望の素子領域の形成された半導体集積回路基板表面に、キャパシタを形成するにあたり、

シリコン基板表面上の一主面に接続する第1の導電部を形成する工程と、

前記第1の導電部の一部が内面に露出するように凹部を形成する工程と、

前記凹部内に、第2の導電部を形成する工程と、

熱処理によって該第2の導電部を単結晶化あるいは高配向の準単結晶状態で配向せしめる工程と、

前記第2の導電部上に第3の導電部をエピタキシャル成長させる工程と、

この第3の導電部上にペロブスカイト型の結晶構造を有する容量絶縁膜をエピタキシャル成長させる工程と、

この上層に第4の導電部を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置および半導

体装置の製造方法に係り、特にDRAM等におけるキャパシタ構造に関する。

【0002】

【従来の技術】 半導体装置の1つに、キャパシタとトランジスタとを組み合わせる情報の記憶動作を行うDRAM (Dynamic Random Access read write Memory) がある。

【0003】 このような装置では、半導体基板とキャパシタ電極との間にキャパシタ絶縁膜を挟みキャパシタを構成している。従来は、このキャパシタ絶縁膜として酸化シリコン膜を用いているが、近年、高集積化、大容量化が急速に進むに伴い、微細化によるキャパシタ容量の低下を招くべく、酸化シリコン膜よりも誘電率の大きい材料が検討され、窒化シリコン膜と酸化シリコン膜との積層膜を用いる等の改良が試みられている。

【0004】 しかしながら、キャパシタ占有面積の微細化に伴うキャパシタの今後のより一層の大容量化に対応するには、さらに誘電率の大きい材料を用いる必要がある。このような要請から、誘電率が酸化シリコン膜に比べて約7倍程度も大きい材料である酸化タンタル膜を絶縁膜として用いることが検討されている。

【0005】 しかしながら、酸化タンタルのもつ30程度の比誘電率では、より微細な領域に対しては必ずしも十分な容量を与えるキャパシタ絶縁膜を形成するのは困難であった。

【0006】 そこでPZTのようにさらにいっそう誘電率が大きく、しかも自発分極による新たなメモリ効果も期待される強誘電体膜の検討が進められている。また SrTiO_3 のように強誘電性は有しないが比誘電率が200程度と大きい値を有する材料も検討されている。これらの物質は一般にペロブスカイト型の結晶であり、高い誘電率とその結晶構造とは密接な関係がある。これらの結晶では結晶の配向性が高いほど分極が大きくなり、誘電率が大きくなる。このような高誘電体材料をDRAMなどの容量絶縁膜に用いる場合、シリコン表面に直接形成すると、界面に誘電率の小さい SiO_2 層がわずかながら形成されてしまうため容量の低下を招く。従って、高誘電体膜の上下電極とも金属材料である必要がある。一方、DRAMなどのメモリセル領域に十分なキャパシタ面積を稼ぐためにはキャパシタの立体化が必要となるが、金属電極を用いることを考慮した場合、積層型キャパシタ構造をとることが有効である。この場合、下地金属電極は一般に多結晶である。従って、この金属電極上にペロブスカイト型高誘電体膜を形成した場合、通常同様に多結晶構造になってしまう。従って、前述したように十分に大きな誘電率を得ることができない。また、このような多結晶体では特性のばらつきも大きくなる。さらに電氣的ストレスに対する疲労耐性も小さくなる。このようなことは、キャパシタの電荷保持能力を低下させることにつながり、DRAMなどの信頼性を損な

(3)

特開平6-177347

3

4

うことになる。

【0007】

【発明が解決しようとする課題】このように、従来のキャパシタにおいては、十分なキャパシタ容量を確保しつつ特性のばらつきが小さく電気的ストレスに対する疲労耐性の小さいものを得るのは極めて困難であった。

【0008】本発明は、前記実情に鑑みてなされたもので、占有面積の縮小化に際しても、十分なキャパシタ容量を確保することができ、信頼性の高いキャパシタを提供することを目的とする。

【0009】

【課題を解決するための手段】そこで本発明による半導体装置では、第1の電極としての下部電極を、単結晶の、または準単結晶状態で配向した導電体とし、この上層に、前記第1の電極上に単結晶として、または準単結晶状態で配向して形成され、ペロブスカイト型の結晶構造を有する容量絶縁膜が配設され、さらにこの上層に第2の電極としての上部電極が形成されるようにしている。

【0010】望ましくは、第1の電極を、アルミニウム (Al)、金 (Au)、銀 (Ag)、銅 (Cu)、白金 (Pt)、パラジウム (Pd)、イリジウム (Ir)、ルテニウム (Ru)、不純物をドーピングすることによってまた欠損を意図的に形成することによって導電化せしめた SrTiO_3 のいずれかあるいはこれらの合金で構成するとともに、前記容量絶縁膜を、 PbTiO_3 、 PZT 、 PLZT 、 BaTiO_3 、 SrTiO_3 のいずれかあるいはこれらの混合物結晶で構成するようにしている。

【0011】また本発明による半導体装置の製造方法の第1では、所望の素子領域の形成された半導体集積回路基板表面に、キャパシタを形成するにあたり、シリコン基板表面上の一主面に接続する第1の導電部を形成する工程と、前記第1の導電部の一部を内面に露出せしめるように凹部を形成する工程と、該凹部内に第2の導電部を形成する工程と、熱処理によって該第2の導電部を単結晶化あるいは準単結晶状態で配向せしめる工程と、この後該第2の導電部上にペロブスカイト型の結晶構造を有する容量絶縁膜をエビタキシャル成長させる工程と、この上層に第3の導電部を形成する工程とを含むことを特徴とする。

【0012】さらにまた本発明による半導体装置の製造方法の第2では、所望の素子領域の形成された半導体集積回路基板表面に、キャパシタを形成するにあたり、シリコン基板表面上の一主面に接続する第1の導電部を形成する工程と、前記第1の導電部の一部が内面に露出するように凹部を形成する工程と、前記凹部内に、第2の導電部を形成する工程と、熱処理によって該第2の導電部を単結晶化あるいは高配向の準単結晶状態で配向せしめる工程と、前記第2の導電部上に第3の導電部をエビ

タキシャル成長させる工程と、この第3の導電部上にペロブスカイト型の結晶構造を有する容量絶縁膜をエビタキシャル成長させる工程と、この上層に第4の導電部を形成する工程とを含むことを特徴とする。

【0013】望ましくはこれらの熱処理工程では、前記第2の導電部を構成する主成分材料の融点の絶対温度で $2/3$ 以上の温度で行なうものとする。

【0014】

【作用】上記構成によれば、金属酸化膜をキャパシタ絶縁膜として用いたキャパシタにおいて、リーク電流を抑制することが可能となる。

【0015】従って、十分なキャパシタ容量と大きいストレス耐性によって優れた電荷保持能力を有し信頼性の高いキャパシタを提供することができる。

【0016】この作用について、以下に代表的な強誘電体である BaTiO_3 の場合を例に説明する。図6(a)および(b)にそれぞれ単結晶と多結晶の BaTiO_3 の電界-分極特性を示すように、同じ電界強度に対して単結晶の方が多結晶に比べて大きな分極値を示すだけでなく、分極の飽和値すなわちキャパシタとして保持可能な電荷量に関しても単結晶の方がはるかに優れていることが理解される。さらに、このような強誘電体膜の自発分極によるヒステリシスを利用する不揮発型のメモリ素子に対しても、図からわかるように単結晶の方が反転電界が小さくしかも揃っている。このようにペロブスカイト型の高誘電体膜をキャパシタ膜として用いる場合単結晶あるいはその結晶方位ができるだけ揃っていることが有効であることがわかる。

【0017】このような単結晶または高配向でほぼ単結晶となっているペロブスカイト型の高誘電体膜を形成するためには、下部電極を構成する金属としてペロブスカイト型高誘電体の格子定数 (約 4.0 \AA) とほぼ同じ格子定数を持ち、それ自体単結晶あるいは準単結晶となるように形成し、この金属電極に対して高誘電体膜をエビタキシャル成長させ結晶方位を揃えるようにする。

【0018】ところで金属の結晶粒径は高温でアニールすることによって大きく成長する。図7に、アニール前の結晶粒径とアニール後の結晶粒径の比のアニール温度依存性を測定した結果を示す。この図からアニール温度が絶対温度で融点の約半分の付近から結晶粒の成長が始まり、融点の約 $3/2$ 付近では初期粒径の 10 倍程度まで成長する。従って、金属の成膜を蒸着、スパッタリング、CVDなどの方法で形成した場合でも、成膜直後の結晶粒径に対してアニールを行うことによって結晶粒径を増大することができる。

【0019】一方、DRAM等の素子のサイズは世代毎に縮小しており、セルサイズについては、例えば、 256 Mb では約 $0.4 \mu\text{m}^2$ 程度まで縮小され、このときキャパシタ面積は $0.3 \times 0.9 \mu\text{m}^2$ 程度であり、一世

(4)

特開平6-177347

5

代毎にさらに4倍弱で縮小が進む。従ってこのような微小領域ではアニールにより単結晶あるいはほぼ単結晶の金属電極を容易に形成することができる。すなわち、初期の結晶粒径が0.1 μm であったとすれば、融点の約2/3の温度でアニールすれば結晶粒径を1 μm にすることができる。さらに、この効果を高めるために、次の方法が効果的である。キャパシタ電極をシリコン表面と電気的に接続するためのコンタクト孔に一旦金属を埋め込む。コンタクト孔の径は最小のパターン寸法で形成されるため電極自体に比べて十分小さい。従って、コンタクト孔に埋め込まれた金属を単結晶化することは容易である。次に、この単結晶金属と同様あるいは同等の格子定数を有する金属をコンタクト孔を覆うように形成して、コンタクト孔内の単結晶金属をシードとしてエピタキシャル的に単結晶化を行うことによって、より効果的に単結晶電極を形成することができる。

【0020】なお、上述したように、この方法では金属電極を構成する物質の融点の約2/3の温度でアニールするのが望ましいが、融点の低い物質例えばAlなどを選択すると、確かにアニールにより単結晶化し易いが、ペロブスカイト型の結晶構造を持つ容量絶縁膜は、酸素を含むために界面に酸化膜が介在し易い。また、用いる容量絶縁膜の格子定数に最も近い格子定数をもつ材料を選択するのが望ましいが、融点が高いこと、容量絶縁膜の格子定数に最も近い格子定数をもつ材料であることの両方の条件を満足する物質がないこともある。このような場合アニールにより単結晶化した金属電極上に他の金属材料をエピタキシャル成長し、このエピタキシャル成長膜上に容量絶縁膜を形成したり、さらにこの単結晶化した金属電極の上層に第2の金属層を形成し、この単結晶化した金属電極をシードとして該第2の金属層を単結晶化し、この上層に容量絶縁膜を形成するようにすれば、材料の選択性が向上しより大容量化をはかることができる。

【0021】以上のようにして、まず下地金属電極を単結晶またはほぼ結晶方位の揃った準単結晶とすることができ、その上に単結晶または準単結晶のペロブスカイト型高誘電体膜を形成することが可能となる。

【0022】このようにして、高いキャパシタ容量を有しかつ電荷保持能力の高いキャパシタを得ることができ、構造が簡単に信頼性の高いDRAMを得ることができる。

【0023】

【実施例】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0024】本発明の第1の実施例では、図1(a)乃至図1(d)にその製造工程図を示すように、キャパシタをスイッチングトランジスタおよびワード線、ビット線よりも上部に配置するメモリセル構造において、ストレージノードコンタクト113内に埋め込むコンタクト導体

6

としてW膜114を用い、このW膜114上にエピタキシャル成長させた金117をアニールすることによって単結晶化し、この上層にペロブスカイト型の高誘電体膜であるBaTiO₃膜118をエピタキシャル成長し、さらにこの上層にCr膜からなるプレート電極119を形成したことを特徴とするものである。すなわち、pチャネルMOSFETのp-拡散層からなるソースドレイン領域106上のコンタクト孔108内にバリアメタル層としてのTiシリサイド膜110およびWシリサイド膜111を形成しこの上層に層間絶縁膜112を形成し、そのコンタクト孔113内に下部電極(ストレージノード)とのコンタクト導体としてのW膜114およびストレージノードとしてのAu単結晶膜117、キャパシタ絶縁膜としてペロブスカイト型のSrTiO₃膜118、プレート電極としてCr膜119を順次積層してキャパシタを構成し、積層形メモリセル構造のDRAMを形成している。

【0025】まず、図1(a)に示すように、比抵抗10 $\Omega \cdot \text{cm}$ 程度の(100)p型のシリコン基板101内の所定領域表面をエッチングした後、素子分離絶縁膜102を埋め込むことにより素子分離領域を形成する。なお代りに従来のように通常のLOCOS法を用いてもよい。そして、熱酸化法によりゲート絶縁膜となる膜厚15nmの酸化シリコン層103およびゲート電極となる300nmのn⁺多結晶シリコン層104およびWシリサイド膜105を堆積し、フォトリソ法および反応性イオンエッチング法によってこれらをパターンニングし、ゲート絶縁膜103およびゲート電極104、105を形成する。さらに、このゲート電極をマスクとして、イオン注入を行い、ゲート電極に自己整合的にn-型拡散層106からなるソース・ドレイン領域を形成し、スイッチングトランジスタとしてのMOSFETを形成する。

【0026】さらに、図1(b)に示すように、この上層に、CVD法により、膜厚150nm程度の酸化シリコン膜107を全面に堆積したのち、フォトリソ法および反応性イオンエッチングにより、コンタクト孔108を形成する。そしてこのコンタクト孔108にバリアメタルとしてTiシリサイド110を選択的に形成したのち全面にWシリサイド111を形成し、通常の写真蝕刻法によりこれをパターンニングし、ビット線を構成する。

【0027】こののち、図1(c)に示すように、CVD酸化膜112を形成した後、表面の平坦化を行いフォトリソグラフィ工程を用いて、コンタクト孔113を形成し、例えば選択CVD法によりコンタクト孔113内のみW膜114を形成し、ストレージノード用のコンタクト導体とする。なお選択CVD法の代わりに全面にWあるいは他の高融点金属等を形成した後、フォトリソグラフィにドライエッチング法を組み合わせるパターンニングしてもよい。続いてCVD酸化膜115を全面に形成した後、フォトリソグラフィによりレジストをパターン

(5)

特開平6-177347

7

8

ングし、このレジストパターンをマスクとして、 W 膜114が露出するまでCVD酸化膜115をエッチングし、凹部116を形成する。この後全面にAu膜を形成した後、全面を平坦になるように例えば研磨法によりエッチバックを行い、Auパターン117を完成する。

【0028】ついで、Auの融点である 1063°C (1336K)の $2/3$ よりも高い 700°C (973K)でアニールすることによってAuパターン117を単結晶化する。このAuパターン117がストレージノード電極となる。なおここで、Auパターン117を単結晶化すると同時にCVD酸化膜115をリフローさせてその表面を平坦化し、その後Auパターン117の表面が露出するまで全面エッチングしても良い。

【0029】この後、この上層に SrTiO_3 膜118をエピタキシャル成長させ、さらに上部のプレート電極として Cr 膜119を形成する(図1(d))。

【0030】なおここで、 SrTiO_3 の成膜は以下のようにした。即ち SrTiO_3 をターゲットとするスパッタ法により全面に SrTiO_3 膜を形成する。この場合酸素の欠損が生じるのを防ぐためにスパッタガスのAr以外に O_2 を流してやる必要がある。このときAuパターン117上の SrTiO_3 膜はエピタキシャル成長して単結晶化する。さらにエピタキシャル成長を促すため基板を 400°C 以上、望ましくは 500°C に保っておく。

【0031】ここでAuの格子定数は 4.08 オングストローム、 SrTiO_3 の格子定数は約 4 オングストロームであるから不整合のほとんどないエピタキシャル成長を行うことが可能となる。

【0032】そして通常の方法によってA1配線工程等を行いDRAMが完成する。

【0033】なお、前記実施例では、ストレージノード電極に金を用いたが、金に代えて、Al、Ag、Cuを用いることが可能であり、また誘電体膜としても SrTiO_3 の他、 PbTiO_3 、 PZT 、 BaTiO_3 などを用いることもできる。さらにアニール温度が 500°C 以下の場合には、キャパシタをA1配線等の配線の上層に形成するようにしてもよい。

【0034】実施例2

本発明の第2の実施例について説明する。この例では、前記第1の実施例と同様に金電極を形成しこれを単結晶化した後、さらにこの金電極117上に白金117Sをエピタキシャル成長し、この上層にペロブスカイト型の高誘電体膜である BaTiO_3 膜218をエピタキシャル成長したことを特徴とするもので、前記第1の実施例よりもさらに結晶性の良好な BaTiO_3 膜218を得ることができ、高性能のキャパシタとすることができ

る。

【0035】すなわち、図2(a)に示すようにMOSFETを形成し、さらに図2(b)に示すように、コンタ

クト孔108を形成し、このコンタクト孔内にTiシリサイド110を選択的に形成したのち全面にWシリサイド111を形成し、通常の写真蝕刻法によりこれをパターンニングし、ビット線を構成する。

【0036】こののち、図2(c)に示すように、CVD酸化膜112を形成した後、表面の平坦化を行いフォトリソグラフィ工程を用いて、コンタクト孔113を形成し、例えば選択CVD法によりコンタクト孔113内のみW膜114を形成し、ストレージノード用のコンタクト導体とする。

【0037】そして、同様に、CVD酸化膜115を形成した後、表面の平坦化を行いフォトリソグラフィ工程を用いて、凹部116を形成し、全面にAu電極117を形成した後、Auの融点である 1063°C (1336K)の $2/3$ よりも高い 700°C (973K)でアニールすることによってAu電極を凹部116内で単結晶化し、凹部116内以外のAu膜を取り除く。この工程までは前記第1の実施例と同様に形成する。

【0038】この後、基板を 400°C 程度に保持した状態でスパッタ法により 500 オングストロームのPt膜を形成することによって、Au電極117上にエピタキシャル成長したPt層117Sを形成する。そして、Pt層のパターンニングを行い、Au電極117上にPt電極117Sを形成する。

【0039】この後、 BaTiO_3 をターゲットとするスパッタリング法により、この上層に BaTiO_3 膜218をエピタキシャル成長させ、さらに上部のプレート電極としてPt膜219を形成する(図2(d))。

【0040】ここでPtの格子定数は 3.92 オングストローム、 BaTiO_3 の格子定数は約 4 オングストロームであるから不整合のほとんどないエピタキシャル成長を行うことが可能となる。

【0041】そして通常の方法によってA1配線工程等を行いDRAMが完成する。

【0042】なお、前記実施例では、ストレージノード電極に金および白金の2層構造膜を用いたが、白金に代えて、格子定数が 4 ± 0.4 オングストロームで面心立方格子のPd、Ir、Ruを用いてもよく、またAuに代えて融点が比較的低く 4 オングストローム程度の格子定数を有するAl、Ag、Cuを用いてもよい。さらにまた誘電体膜としても BaTiO_3 の他、 PbTiO_3 、 PZT 、 SrTiO_3 などを用いることもできる。さらにアニール温度が 500°C 以下の場合には、キャパシタをA1配線等の配線の上層に形成するようにしてもよい。

【0043】実施例3

本発明の第3の実施例について説明する。この例では、A1電極を形成しこれを単結晶化した後、さらにこのA1電極314上に金電極314Sを形成しさらにこのA1電極をシードとして金電極314Sを単結晶化しこれ

(6)

特開平6-177347

9

10

をストレージノード電極として用い、この上層にペロブスカイト型の高誘電体膜であるPZT膜316をエピタキシャル成長したことを特徴とするものである。

【0044】すなわち、図3(a)に示すようにMOSFETを形成し、図3(b)に示すように、コンタクト孔108を形成し、この内部にバリアメタルとしてのTiシリサイド110を形成しWシリサイド111を埋め込む。

【0045】そして、同様に、CVD酸化膜112を形成した後、表面の平坦化を行いフォトリソグラフィ工程を用いて、Wシリサイド111直上にコンタクト孔113を形成し、全面にAl膜を形成した後、エッチバックしてコンタクト孔113内に第1のAl膜314を埋め込む。そしてAlの融点である660℃(933K)の2/3よりも高い500℃(773K)でアニールすることによってAl電極を単結晶化する。

【0046】そして、図3(c)に示すように第1のAl膜314上に第2のAu電極314Sを形成しパターンニングしたのちアニールを行い第1のAl電極314をシードとして第2のAu電極314Sを単結晶化した後、例えばリソグラフィ工程を用いて表面に凹凸を形成する。これは電極面積を増大するためである。ここでAlの格子定数は4.05オングストローム、Auの格子定数は4.08オングストロームであるため不整合なく単結晶化を行うことができる。

【0047】この後、この上層にPZT膜316をCVD法によりエピタキシャル成長させる。成膜に際しては、600℃程度の基板温度でテトラエチル鉛、ブトキシジルコニウム、テトラインプロポキシチタン、酸素を原料ガスとしてCVDの成膜を行なうことによって、PZT膜を全面に形成する。この時、Au電極314S表面上のPZT膜はエピタキシャル成長により単結晶化することができる。単結晶化しなかったPZT膜は選択エッチング法により除去してもよいし、残してもよい。さらに上部のプレート電極としてAu膜317を形成する(図3(d))。

【0048】ここでも高誘電体膜の形成に際し、不整合のほとんどないエピタキシャル成長を行うことが可能となる。

【0049】そして通常の方法によってAl配線工程等を行いDRAMが完成する。

【0050】なお、前記実施例では、ストレージノード電極にAlをシードとして形成した金の単結晶膜を用いたが、金に代えて、格子定数が4オングストローム程度のAl、Ag、Cu、Pt、Pd、Ir、Ruを用いてもよい。また誘電体膜としてもPZTの他BaTiO₃、PbTiO₃、SrTiO₃などを用いることもできる。さらに500℃以下の熱工程で形成し得る場合には、キャパシタをAl配線等の配線の上層に形成するようにしてもよい。

【0051】実施例4

本発明の第4の実施例について説明する。この例では、Al電極を形成しこれを単結晶化した後、さらにこのAl電極417上に、Nbをドーブして導電性を有したペロブスカイト型のSrTiO₃、電極417Sをエピタキシャル成長して単結晶化し、この上層に同じくペロブスカイト型の高誘電体膜であるSrTiO₃、膜118をエピタキシャル成長したことを特徴とするものである。

【0052】すなわち、図4(a)に示すようにMOSFETを形成し、図4(b)に示すようにCVD法により、膜厚150nm程度の酸化シリコン膜107を全面に堆積したのち、フォトリソ法および反応性イオンエッチングにより、コンタクト孔108を形成する。そしてこのコンタクト孔108の内部にバリアメタルとしてのTiシリサイド110を形成しWシリサイド111を埋め込み、ビット線とする。

【0053】そして、同様に、CVD酸化膜112を形成した後、表面の平坦化を行いフォトリソグラフィ工程を用いて、n-型拡散層106直上にコンタクト孔113を形成し、全面にAl膜を形成した後、エッチバックしてコンタクト孔113内に第1のAl電極314を埋め込む。コンタクト孔113内にバリアメタルとしてTiシリサイドを形成しておくとも良い。またAlの代わりにW膜を用いることもできコンタクト孔113内に選択成長を行なうことが可能である。

【0054】そして同様にCVD酸化膜115を形成した後、表面の平坦化を行い、フォトリソグラフィ工程を用いて凹部116を形成し、全面にAl電極417を形成した後500℃でアニールを行い、Al電極を単結晶化し、凹部116内以外のAl膜を取り除く。続いてAl電極の一部をエッチバックした後、400℃程度に保持した状態でスパッタリング法あるいはCVD法により、Nbをドーブして導電性を有したペロブスカイト型のSrTiO₃、膜417Sを全面に形成し、単結晶Al電極上にエピタキシャル成長させる。このときエピタキシャル成長に先立ちAl電極上の自然酸化膜を除去するため、逆スパッタリングを行うことも有効である。

【0055】そして、図4(c)に示すように凹部116内にはのみ導電性SrTiO₃、膜を残すことにより、単結晶SrTiO₃、電極417Sを形成する。

【0056】この後、この上層に誘電体のSrTiO₃、膜118を実施例1と同様にしてエピタキシャル成長させ、さらに上部のプレート電極としてPt膜219を形成する(図4(d))。

【0057】ここで電極のNbをドーブした導電性SrTiO₃、膜417Sと容量絶縁膜のSrTiO₃、膜118の格子定数は同じであるから不整合のないエピタキシャル成長を行うことができる。なおSrTiO₃、膜118はCVD法によって形成することも可能である。

【0058】そして通常の方法によってAl配線工程等

(7)

特開平6-177347

11

を行いDRAMが完成する。

【0059】なお、前記実施例では、ストレージノード電極にAl膜およびNbをドープした導電性のSrTiO₃膜を用いたが、Alに代えて、格子定数が4オングストローム程度の他の金属を用いることが可能であり、とくに融点の比較的低いAu、Ag、Cuも同様に用いることができ、また誘電体膜としてもSrTiO₃のほか、BaTiO₃、PbTiO₃、PZTなどを用いることもできる。さらにキャパシタをAl配線等の配線の上層に形成するようにしてもよい。

【0060】実施例5

本発明の第5の実施例では、図5(a)乃至図5(d)にその製造工程図を示すように、キャパシタをスイッチングトランジスタおよびワード線、ビット線よりも上部に配置するメモリセル構造において、ストレージノード電極117に金を用い、この金をアニールすることによって単結晶化し、この上層にペロブスカイト型の高誘電体膜であるBaTiO₃膜218をエピタキシャル成長し、さらにこの上層にCr膜からなるプレート電極119を形成したことを特徴とするものである。すなわち、pチャネルMOSFETのp-拡散層からなるソースドレイン領域106上のコンタクト孔108内にバリアメタル層としてのTiシリサイド膜110およびWシリサイド膜111を形成したの上層に層間絶縁膜112を形成し、そのコンタクト孔113内に下部電極(ストレージノード)としてのAu単結晶膜117、キャパシタ絶縁膜としてペロブスカイト型のBaTiO₃膜218、プレート電極としてCr膜119を順次積層してキャパシタを構成し、積層形メモリセル構造のDRAMを形成している。

【0061】まず、図5(a)に示すように、比抵抗10Ω・cm程度の(100)p型のシリコン基板101内の所定領域表面をエッチングした後、素子分離絶縁膜102を埋め込むことにより素子分離領域を形成する。そして、熱酸化法によりゲート絶縁膜となる膜厚15nmの酸化シリコン層103およびゲート電極となる300nmのn+多結晶シリコン層104およびWシリサイド膜105を堆積し、フォトリソ法および反応性イオンエッチング法によってこれらをパターンニングし、ゲート絶縁膜103およびゲート電極104、105を形成する。さらに、このゲート電極をマスクとして、イオン注入を行い、ゲート電極に自己整合的にn-形拡散層106からなるソース・ドレイン領域を形成し、スイッチングトランジスタとしてのMOSFETを形成する。

【0062】さらに、図5(b)に示すように、この上層に、CVD法により、膜厚150nm程度の酸化シリコン膜107を全面に堆積したのち、フォトリソ法および反応性イオンエッチングにより、コンタクト孔108、109を形成する。そしてこのコンタクト孔108、109にバリアメタルとしてTiシリサイド110を選択的に

12

に形成したのち全面にWシリサイド111を形成し、通常の写真蝕刻法によりこれをパターンニングし、一方でビット線を構成するとともに、他方をストレージノード用のコンタクト導体とする。

【0063】こののち、図5(c)に示すように、CVD酸化膜112を形成した後、表面の平坦化を行いフォトリソグラフィ工程を用いて、コンタクト孔113を形成し、全面にAu膜を形成した後フォトリソグラフィによりこれをパターンニングする。続いて第3のCVD酸化膜115を全面にその平面が平坦になるように形成する。さらに全面をAu電極117の表面が露出するまでエッチングする。

【0064】ついで、Auの融点である1063℃(1336K)の2/3よりも高い700℃(973K)でアニールすることによってAu電極を単結晶化する。なおここで、Au電極を単結晶化すると同時にCVD酸化膜112をリフローさせてその表面を平坦化し、その後Au電極117の表面が露出するまで全面エッチングするようにしても良い。

【0065】この後、この上層にBaTiO₃膜218をエピタキシャル成長させ、さらに上部のプレート電極としてCr膜119を形成する(図5(d))。

【0066】なおここで、BaTiO₃の成膜は以下のようにした。即ちBaTiO₃をターゲットとするスパッタ法により全面にBaTiO₃膜を形成する。この場合酸素の欠損が生じるのを防ぐため、スパッタガスとしてのAr以外にO₂を流す必要がある。このときAu電極117上のBaTiO₃膜はエピタキシャル成長して単結晶化する。さらにエピタキシャル成長を促すため基板を400℃以上、典型的には500℃に保っておく。

【0067】ここでAuの格子定数は4.08オングストローム、BaTiO₃の格子定数は約4オングストロームであるから不整合のほとんどないエピタキシャル成長を行うことが可能となる。

【0068】そして通常の方法によってAl配線工程等を行いDRAMが完成する。

【0069】なお、前記実施例では、ストレージノード電極に金を用いたが、金に代えて、Al、Ag、Cuを用いることが可能であり、また誘電体膜としてもBaTiO₃のほか、PbTiO₃、PZT、SrTiO₃などを用いることもできる。さらにキャパシタをAl配線等の配線の上層に形成するようにしてもよい。

【0070】なおこれらの実施例では、積層キャパシタ構造のDRAMについて説明したが、平面構造あるいはトレンチ構造のDRAM、あるいは他の半導体集積回路例えばFRAMなどに対しても適用可能であることはいうまでもない。

【0071】

【発明の効果】以上説明してきたように、本発明のキャパシタによれば、ストレージノード電極を金属単結晶ま

(8)

特開平6-177347

13

14

たは高配向の単結晶で構成し、この上層にエピタキシャル成長により形成したペロブスカイト型の高誘電体膜からなるキャパシタ絶縁膜を形成しているため、高集積化に際しても、十分なキャパシタ容量を維持し、電荷保持能力の高いキャパシタを得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の積層形メモリセル構造のDRAMの製造工程図

【図2】本発明の第2の実施例の積層形メモリセル構造のDRAMの製造工程図

【図3】本発明の第3の実施例の積層形メモリセル構造のDRAMの製造工程図

【図4】本発明の第4の実施例の積層形メモリセル構造のDRAMの製造工程図

【図5】本発明の第5の実施例の積層形メモリセル構造のDRAMの製造工程図

【図6】BaTiO₃の単結晶および多結晶の電界-分極特性を示す図

【図7】金属の結晶粒の大きさとアニール温度との関係を示す図

【符号の説明】

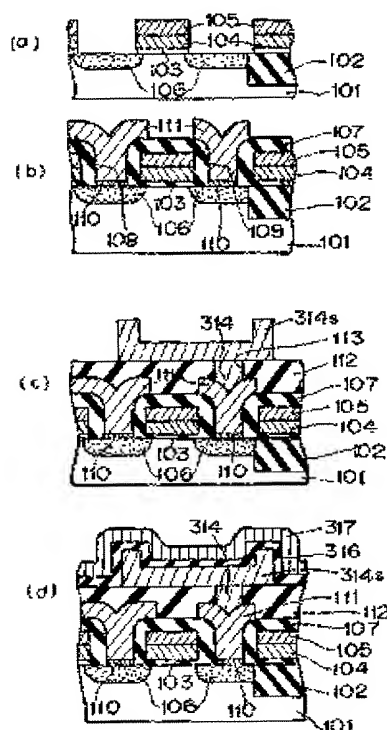
101 p型のシリコン基板

102 素子分離絶縁膜

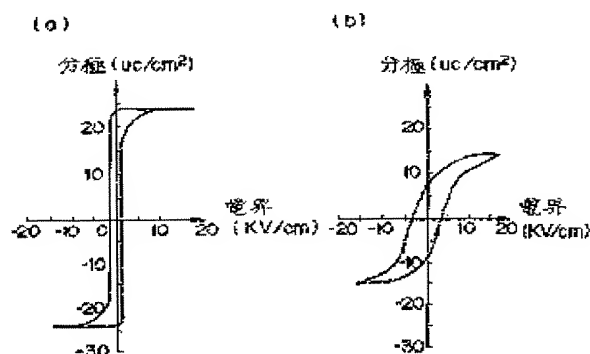
103 ゲート絶縁膜

* 104 ゲート電極
105 Wシリサイド
106 n型拡散層
107 層間絶縁膜
108 コンタクト孔
109 コンタクト孔
110 T₁シリサイド
111 Wシリサイド
112 CVD酸化膜
113 コンタクト孔
114 タングステン
115 CVD酸化膜
116 凹部
117 Au電極
118 SrTiO₃
119 Cr電極
218 BaTiO₃
219 Pt電極
314 Al電極
314S Au電極
316 PZT
317 Au電極
417 Al電極
* 417S NbドープSrTiO₃

【図3】



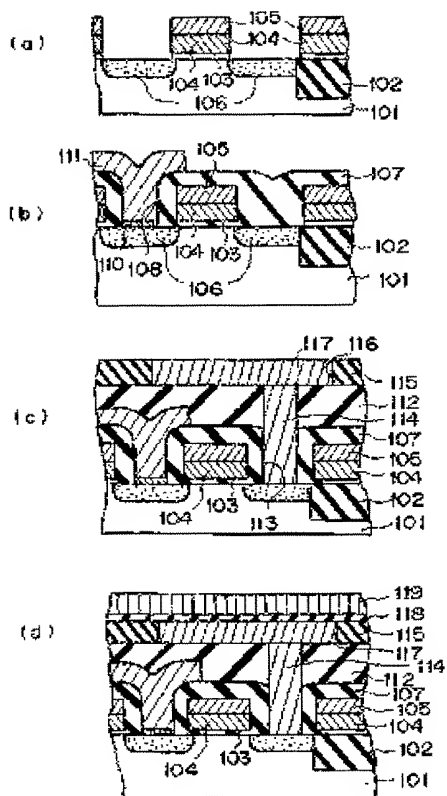
【図6】



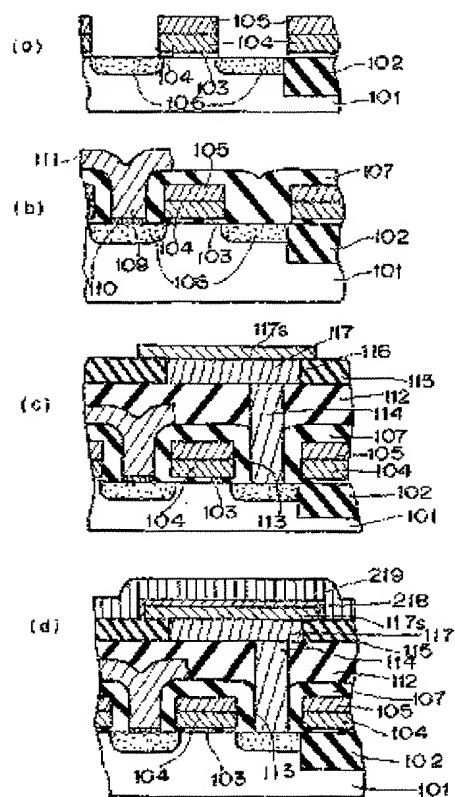
(9)

特開平 6-177347

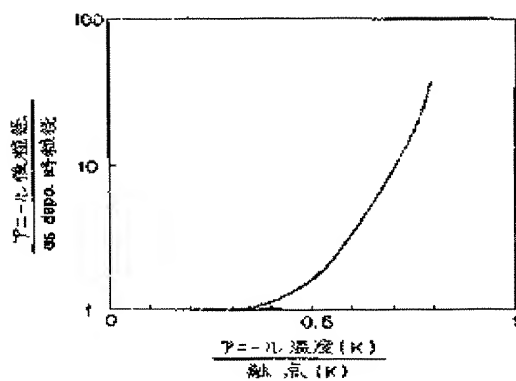
【图 1】



【图2】



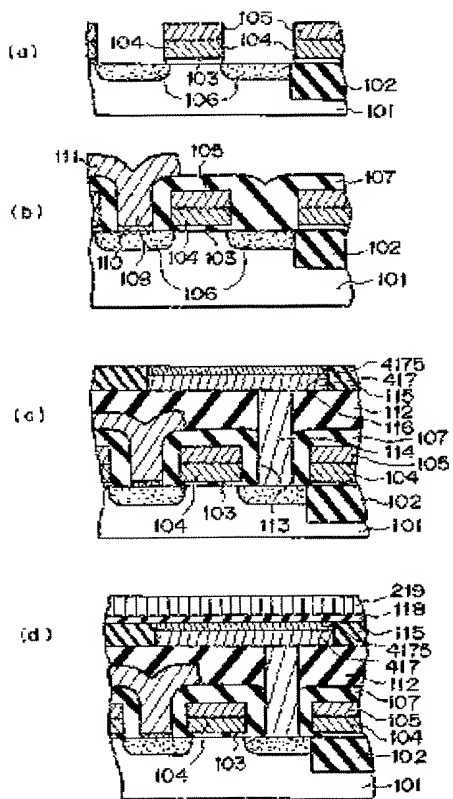
【图 7】



(10)

特開平6-177347

【図4】



【図5】

